

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

01127428 **Image available**

CMOS LOGICAL CIRCUIT DEVICE

PUB. NO.: **58-064828** [JP 58064828 A]

PUBLISHED: April 18, 1983 (19830418)

INVENTOR(s): SHIOASHI YOSHIHISA

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 56-163611 [JP 81163611]

FILED: October 14, 1981 (19811014)

INTL CLASS: [3] H03K-019/094; H03K-019/00

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide

Semiconductors, MOS); R129 (ELECTRONIC MATERIALS -- Super High Density
Integrated Circuits, LSI & GS

JOURNAL: Section: E, Section No. 185, Vol. 07, No. 154, Pg. 161, July
06, 1983 (19830706)

ABSTRACT

PURPOSE: To reduce the circuit threshold voltage of a CMOS inverter, by providing an MOSFET operated at the saturation region between a CMOS inverter and a power source applying a positive potential.

CONSTITUTION: A CMOS inverter 10 consists of a p-MOSFET 11 and an n-MOSFET 12 in which the drains are connected in series and the gates are connected in parallel, and the substrate of the FETs 11, 12 is set to a power supply potential VDD and a ground potential VSS respectively. The gate of both FETs is taken as an input terminal (a) and the connecting point of the series connection is taken as an output point (b). The source (c) of the FET11 is connected with the source of an n-MOSFET 13, the voltage VDD is applied to the gate and drain of the FET13 to operate the FET13 at the saturation region. If the threshold voltage of the FET13 is taken as V_{thn} , a voltage applied to the inverter 10 is set to $VDD - V_{thn}$, the threshold voltage V_{th} of the inverter 10 comes to $(VDD - V_{thn})/2$ and then, the circuit threshold voltage can be decreased by increasing the occupied area of a chip slightly.

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑩ 公開特許公報 (A)

昭58—64828

⑫ Int. Cl.³
H 03 K 19/094
19/00

識別記号
1 0 1

庁内整理番号
7631—5 J
7631—5 J

⑬ 公開 昭和58年(1983)4月18日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ CMOS 論理回路装置

京芝浦電気株式会社トランジスタ工場内

⑯ 特 願 昭56—163611

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭56(1981)10月14日

川崎市幸区堀川町72番地

⑲ 発 明 者 塩足慶久

⑳ 代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

CMOS 論理回路装置

2. 特許請求の範囲

ゲート相互接続点を入力端とし、ドレイン相互接続点を出力端とする p チャネル MOS-FET および n チャネル MOS-FET で構成された CMOS インバータと、上記 CMOS インバータとこの CMOS インバータにプラス電源電位およびマイナス電源電位を供給する電源の少なくともいずれか一方との間に直列に挿入された飽和領域で動作する MOS-FET とを具備したことを特徴とする CMOS 論理回路装置。

3. 発明の詳細な説明

この発明は、IC、LSI などで使用される CMOS 論理回路装置に関する。

IC、LSI などにおける CMOS 論理回路では、第1図に示すインバータ10が基本構成の回路となっている。11は p チャネル MOS-FET (以下 p-MOS-FET と記す)、12は n チャネル

MOS-FET (以下 n-MOS-FET と記す) で、各 FET 11、12 のサブストレートはそれぞれのドレインに接続され、それらのドレインにはプラス電源電位 V_{DD} 、および接地電源電位 V_{SS} が供給されている。そして、MOS-FET 11、12 のゲート相互接続点 a が CMOS インバータ10の入力端となり、CMOS-FET 11、12 のドレインの相互接続点 b がインバータ10の出力端となっている。

このように構成された CMOS インバータ10において、p-MOS-FET 11 の閾値電圧を V_{thp} とし、n-MOS-FET 12 の閾値電圧を V_{thn} とすると、この CMOS インバータ10の回路閾値電圧 V_{thc} は次の第(1)式で与えられる。

$$V_{thc} = (\alpha V_{DD} + V_{thn} - \alpha |V_{thp}|) / (1 + \alpha) \quad (1)$$

なお、 α は p-MOS-FET のコンダクタンス β_p と n-MOS-FET のコンダクタンス β_n の比の平方根、すなわち $\alpha = \sqrt{\beta_p / \beta_n}$ で与えられるものである。

通常このような CMOS インバータ10の回路

閾値電圧 V_{thc} は、ノイズマージンを「H」レベル、「L」レベルで等しくするために「 $|V_{thp}| \sim |V_{thn}|$ 」および「 $\alpha = 1$ 」として、「 $V_{DD}/2$ 」近辺になるように設計される。しかし、CMOS 論理回路と、TTL などの CMOS 以外の回路とのインターフェースにおいては、回路閾値電圧 V_{thc} を「 $V_{DD}/2$ 」から変更したい場合が生ずる。

このような場合、「 $|V_{thp}| = |V_{thn}|$ 」とすると第(1)式においてインバータの MOS-FET のコンダクタンス β_p 、 β_n を変更しなければならないが、 β_p 、 β_n はチップにかける MOS-FET の占有面積に比例する。例えば、「 $V_{DD} = 5V$ 」、「 $|V_{thn}| = |V_{thp}| = 1V$ 」として、CMOS インバータ 1 の回路閾値 V_{thc} を $1.5V$ に設定しようとする、「 $\beta_p/\beta_n = 1/25$ 」となり、チップにかける回路の占有面積はおよそ 2.6 倍となることになる。このように莫大に広い面積をチップで占めることは設計上好ましくなく、また回路の入力容量の増加を引き起こす可能性

の n-MOS-FET 1 は、そのゲートおよびドレインにプラス電源電圧 V_{DD} が印加されており、飽和領域の動作状態に設定してある。

このように構成された回路において、第 3 の n-MOS-FET 1 の閾値電圧を V_{thn} とすると、第 3 の n-MOS-FET 1 および第 1 の p-MOS-FET 1 の接続点 e の電位 V_e 、すなわち CMOS インバータ 1 の供給される電圧は「 $V_{DD} - V_{thn}$ 」に設定される。従って、この CMOS インバータ 1 の閾値電圧 V_{thc} は「 $(V_{DD} - V_{thn})/2$ 」となり、ここで例えば「 $V_{DD} = 5V$ 」、「 $V_{thn} = 1V$ 」とすると、回路閾値電圧 V_{thc} は「 $(5-1)/2 = 2V$ 」になる。このようにして、チップにかける占有面積がたかだかおよそ 1.5 倍になるだけで、回路閾値電圧 V_{thc} を下げることができる。

第 3 図は、上記実施例の第 3 の n-MOS-FET 1 のサブストレートの電位を、 $V_c (=V_{DD} - V_{thn})$ から接地電位に変更した場合の実施例である。このようにすると第 3 の n-MOS-FET 1 がバックゲート (backgate) 効果をうけ、この第 3 の

がある。

この発明は上記のような点に鑑みなされたもので、集積回路などのチップにおいて、小さい占有面積で CMOS インバータの閾値電圧 V_{thc} を容易に変更しうる CMOS 論理回路を提供しようとするものである。

以下図面を参照してこの発明の一実施例を説明する。第 2 図はその構成を示すもので、第 1 図と同様にドレインを直列に接続し、ゲートを相互接続された第 1 の p-MOS-FET 1 および第 2 の n-MOS-FET 1 によって CMOS インバータ 1 を構成し、これらの MOS-FET 1 1、1 2 のサブストレートはプラス電源電位 V_{DD} および接地電源電位 V_{SS} にそれぞれ設定する。そして、この 1 対の MOS-FET 1 1、1 2 のゲート相互接続点が入力端 a となり、直列接続の接続点が出力端 b となっている。また、このインバータ 1 のプラス電源 V_{DD} 側、すなわち第 1 の p-MOS-FET 1 1 のソース側の e 点に、さらに第 3 の n-MOS-FET 1 3 のソースを接続する。第 3

n-MOS-FET 1 3 の閾値電圧 V_{thn} が高くなる。なお、そのときの n-MOS-FET の閾値電圧は次式で得られる。

$$V_{thn} = -K\sqrt{\phi_s + V_{so} + V_{ss}}$$

上式中の V_{so} は MOS-FET に印加されるバックゲート電圧で、 K 、 ϕ_s 、 V_{ss} はそれぞれ次式で表現されるものである。

$$K = (t_{ox}/\epsilon_{ox})\sqrt{2q\epsilon_s N}$$

$$\phi_s = 2\phi_F$$

$$V_{ss} = -(\epsilon_{ox}/\epsilon_{ox}) \cdot Q_{ss}$$

ここで t_{ox} は酸化シリコン膜の厚さ、 ϵ_{ox} は酸化シリコンの誘電率、 q は単位電荷、 ϵ_s はシリコンの誘電率、 N は基板のキャリア濃度

($\approx 10^{15}$)、 ϕ_F はフェルミポテンシャル、 k はボルツマン定数、 Q_{ss} は固定表面電荷濃度をそれぞれ示す。このようにして、第 3 図の場合、e 点の電位 V_e は「 $V_e \approx 3.5V$ 」程度となって、回路閾値電圧「 $V_{thc} \approx 1.75V$ 」を得ることができる。

第 4 図に示す実施例は、第 2 図の実施例にか

ける第3のn-MOS-FET 13の代わりに、飽和領域で動作するn-MOS-FET 13a, 13bを2段直列に接続したもので置き換えたものである。この場合、「 $V_{thc} = (V_{DD} - 2V_{thn}) / 2$ 」となり、前記実施例と同様に「 $V_{DD} = 5V$ 」、「 $V_{thn} = 1V$ 」とすれば「 $V_{thc} = 1.5V$ 」を得ることができ、このときの回路面積はたかだかおよそ2倍になる程度である。

第5図に示す実施例は、第2図における第3のn-MOS-FET 13をp-MOS-FET 14で置き換えたもので、同様に V_c の電位はp-MOS-FETの閾値電圧分だけ下がり、回路閾値を下げるができる。

このように、プラス電源 V_{DD} と、CMOSインバータ10のp-MOS-FETのソースとの間に、飽和領域で動作するMOS-FETを1段あるいは複数段、直列に挿入することにより、チップ上で広い面積を占めることなく回路閾値電圧を希望する値に下げることができる。

一方、逆に回路閾値を上昇させる場合は前記

が上昇することになる。

このように、回路閾値を上昇させる場合も、回路閾値を下げる場合と同様に、第7図に示すように第3のp-MOS-FET 15のサブストレートの電位を変更したり、n-MOS-FETで構成したり、あるいは回路閾値設定用のMOS-FETを複数段接続するなどの変形を行って、チップ上で広い面積をとることなく希望する回路閾値を選択することができる。

以上のように、この発明によればCMOSインバータのプラス電源側あるいは接地電源側に飽和領域で動作するMOS-FETを直列に1段または多段接続することにより、チップにおいて小さい面積でCMOSインバータの回路閾値を希望する値に設定されたCMOS論理回路装置を提供することができる。

4. 図面の簡単な説明

第1図はCMOSインバータを説明する回路図、第2図はこの発明の一実施例に係るCMOS論理回路を説明する回路図、第3乃至第7図はそれ

回路閾値を下げる場合と同様の考え方で、CMOSインバータの接地側に飽和領域で動作するMOS-FETを直列に挿入すれば良い。

第6図は、第1のp-MOS-FET 11および第2のn-MOS-FET 12で構成された上記例と同様のCMOSインバータ10に、第3のp-MOS-FET 15を介して接地電位を与えるようにして構成したものである。すなわち、CMOSインバータ10の第2のn-MOS-FET 12のソースは、第3のp-MOS-FET 15のドレインと接続され、この接続点を・点とすると、・点の電位が第3のp-MOS-FET 15のサブストレートに与えられている。そして、このMOS-FET 15のソースおよびゲートは、接地電源 V_{ss} に接続されている。

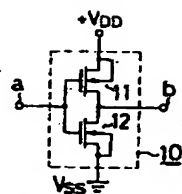
このような構成の回路においては、・点の電位が第2のp-MOS-FET 15の閾値電圧 V_{thn} となるため、CMOSインバータ10の閾値電圧 V_{thc} は「 $(V_{DD} - |V_{thp}|) / 2 + |V_{thp}|$ 」すなわち「 $\frac{1}{2}V_{DD} + \frac{1}{2}|V_{thp}|$ 」に設定され、第1図に示したもののより「 $\frac{1}{2}|V_{thp}|$ 」だけ回路閾値

それ以外の発明の他の実施例を示す回路図である。

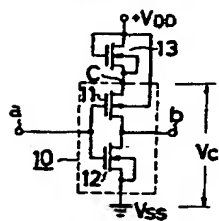
10 - CMOSインバータ、11, 14, 15 - pチャネルMOS-FET、12, 13, 13a, 13b - nチャネルMOS-FET。

出願人代理人 弁理士 鈴 江 武 彦

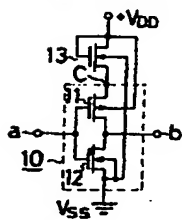
第 1 図



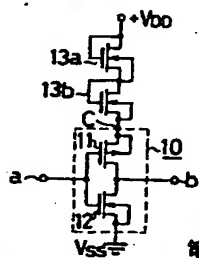
第 2 図



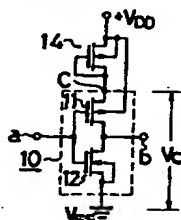
第 3 図



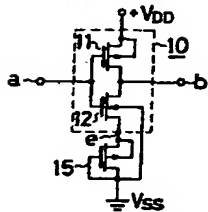
第 4 図



第 5 図



第 6 図



第 7 図

